查询DS90CP04供应商

National Semiconductor

2004 年 1 月

DS90CP04

4 × 4、低消費電力、2.5Gb/s、LVDS デジタル・クロスポイント・スイッチ

概要

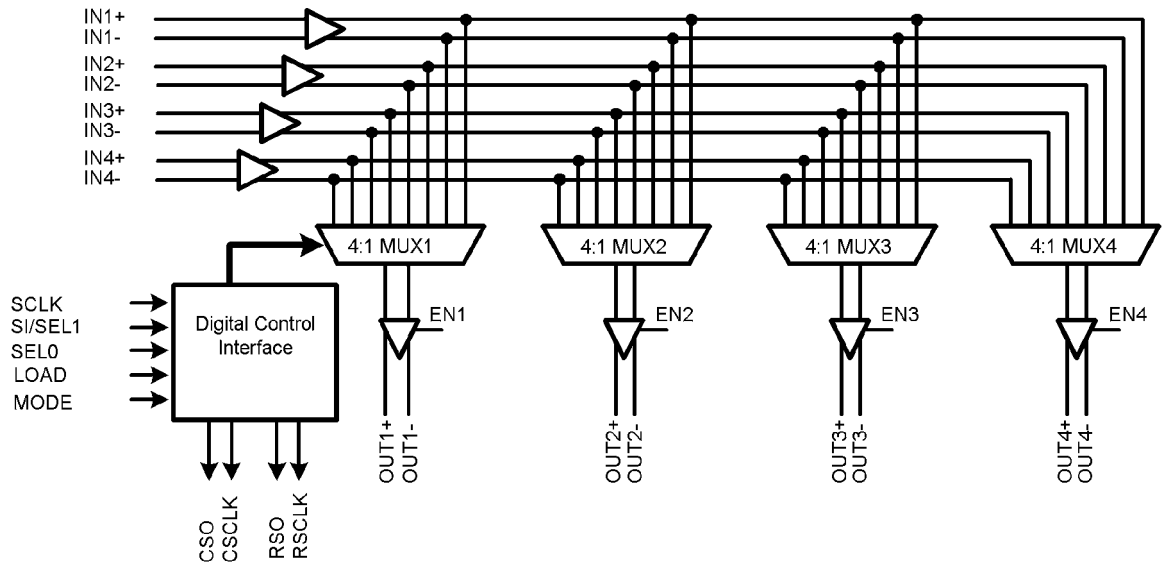
DS90CP04 は 4 × 4 のデジタル・クロスポイント・スイッチです。効率よく基板レイアウトが行えるように入力端子と出力端子をパッケージの対向両辺に配置しています。低電圧差動信号 (LVDS) 技術を採用し、低消費電力と高速動作の両立を実現しています。データ・パスは、ノイズを抑えるために入力から出力まですべて差動回路で構成されています。ノン・ブロッキング・アーキテクチャ方式により、任意の入力ビットから任意の出力ビット (単出力または複数の出力) への接続が可能です。スイッチ・マトリックスとして 4 組の差動 4:1 マルチプレクサを内蔵しています。各マルチプレクサには 4 入力系統がすべて接続されており、任意の出力チャネルから任意の 1 入力系統を出力できます。DS90CP04 の各出力ペアは、それぞれが独立して最高 2.5Gbit/s で動作します。

MODE 端子によって、制御が容易なシリアル制御インタフェース、または構成選択ポートを切り替えられます。シリアル制御インタフェースを用いると、全出力に対する新規のスイッチ構成情報を単一のロード・コマンドによって一度に更新できます。直接構成ポートを使用すると、SEL0/1 端子の論理レベルでデコードされた情報にもとづき、出力の構成を直接変更できます。

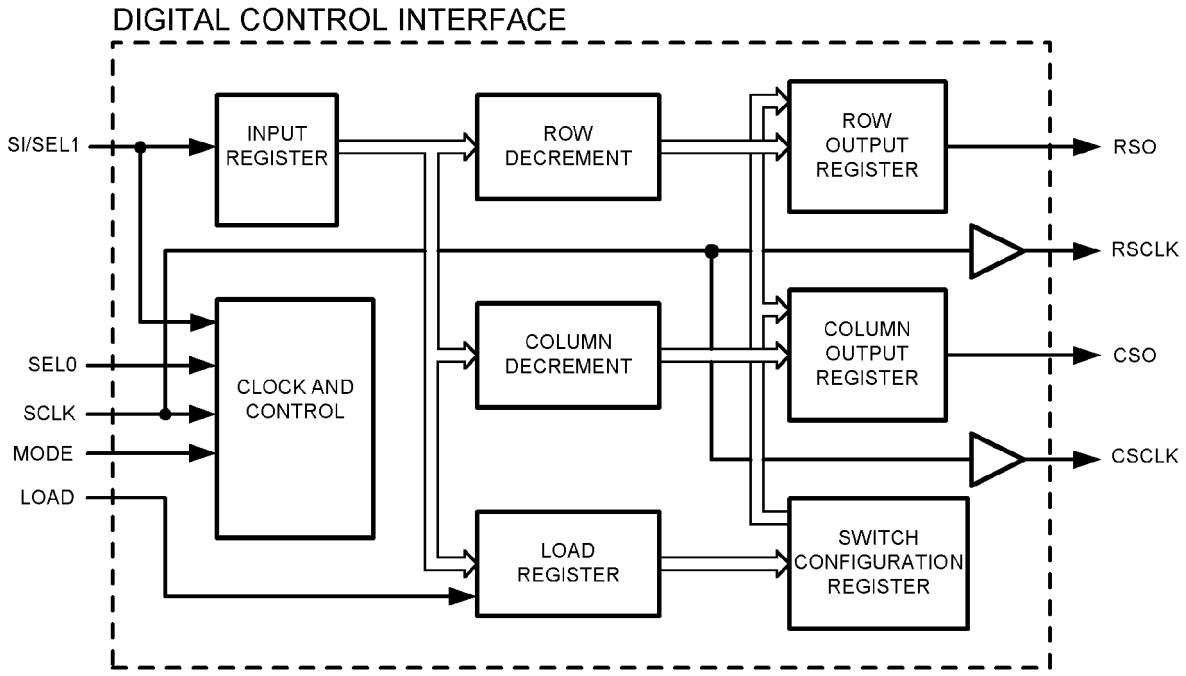
特長

- 2.5Gbps の完全差動データ・パス
- ノン・ブロッキング・アーキテクチャ
- 任意の入力からのブロードキャスト
- 対向両辺に配置された端子配置
- 大規模スイッチ・アレイへの拡張が可能
- LVDS/BLVDS/LVPECL/2.5V-CML 入力レベルに対応
- TRI-STATE LVDS 出力
- 読み出し可能なシリアル制御インタフェース
- 2 段階のレジスタ書き込み
- ＋2.5V 単一電源
- 低消費電力、2.5Gb/s で 575mW (typ)
- リードレス LLP-32 パッケージ (本体サイズ 6 × 6mm)
- アドバンスト CMOS プロセス技術で製造

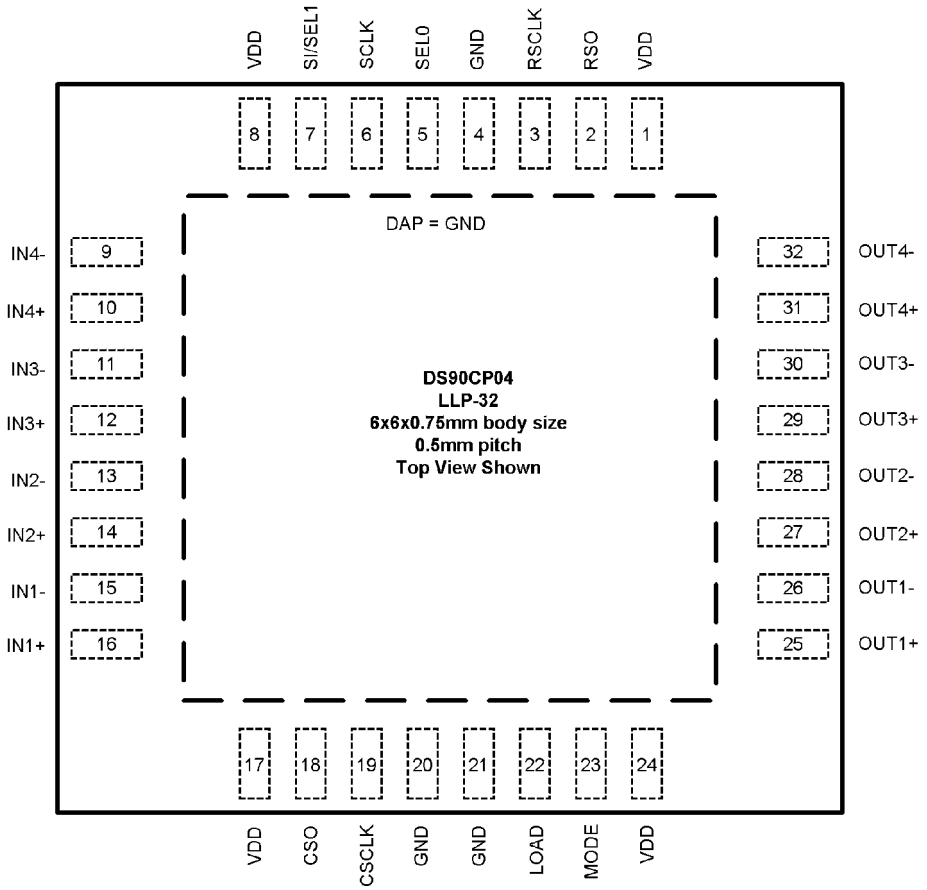
機能ブロック図



機能ブロック図 (つづき)


DIGITAL CONTROL INTERFACE
SI/SEL1
INPUT REGISTER
ROW DECREMENT
ROW OUTPUT REGISTER
RSO
RSCLK
SEL0
SCLK
MODE
LOAD
CLOCK AND CONTROL
COLUMN DECREMENT
COLUMN OUTPUT REGISTER
CSO
CSCLK
LOAD REGISTER
SWITCH CONFIGURATION REGISTER

ピン配置図



Order Number DS90CP04TLQ, DS90CP04TLQX (Tape and Reel)
See NS Package Number LQA32A

端子説明

端子名	端子番号	入出力、タイプ	説明
各マルチプレクサに共通の差動入力			
IN1 ＋	16	I, LVDS	反転および非反転差動入力
IN1 －	15		
IN2 ＋	14	I, LVDS	反転および非反転差動入力
IN2 －	13		
IN3 ＋	12	I, LVDS	反転および非反転差動入力
IN3 －	11		
IN4 ＋	10	I, LVDS	反転および非反転差動入力
IN4 －	9		
差動スイッチ出力			
OUT1 ＋	25	O, LVDS	反転および非反転差動出力。 IN1 ±、IN2 ±、IN3 ±、IN4 ±の任意の差動ペアを OUT1 ±から出力可能
OUT1 －	26		
OUT2 ＋	27	O, LVDS	反転および非反転差動出力。 IN1 ±、IN2 ±、IN3 ±、IN4 ±の任意の差動ペアを OUT2 ±から出力可能
OUT2 －	28		
OUT3 ＋	29	O, LVDS	反転および非反転差動出力。 IN1 ±、IN2 ±、IN3 ±、IN4 ±の任意の差動ペアを OUT3 ±から出力可能
OUT3 －	30		
OUT4 ＋	31	O, LVDS	反転および非反転差動出力。 IN1 ±、IN2 ±、IN3 ±、IN4 ±の任意の差動ペアを OUT4 ±から出力可能
OUT4 －	32		
デジタル制御インタフェース			
SCLK	6	I, LVCMOS	SI から入力されるプログラミング・データをラッチする制御クロックです。 SCLK は 0MHz から 100MHz に対応しています。 デバイスにアクセスするときのみ、SCLK にクロック・パルス列を与えてください。 プログラミング完了後は、高速差動データ・パスに対するノイズ混入を防ぐため、SCLK は論理 LOW に保持してください。
SI / SEL1	7	I, LVCMOS	スイッチ構成を指定するプログラミング・データ入力です。 データは SCLK の立ち上がりクロックで内部バッファ・レジスタにラッチされます。
SEL0	5	I, LVCMOS	スイッチ構成を指定するプログラミング・データです。
CSO RSO	18 2	O, LVCMOS	MODE が LOW のとき、シリアル・チェーンの次段のデバイスに向けて、コントロール・データが CSO(RSO) からシフト出力されます。 CSO(RSO) から出力されるコントロール・データは SI に入力されたデータと同じですが、デバイスのコラム (ロー) ・アドレスは内部で 1 ずつ減算されて、チェーンの次段のデバイスに伝達されます。 CSO(RO) は SCLK の立ち上がりエッジに同期して出力されます。
CSCLK RSCLK	19 3	O, LVCMOS	MODE が LOW のとき、これら端子からは制御クロック SCLK をバッファしたクロック信号が出力されます。 カスケード接続したシリアル制御バスで、CSCLK(RSCLK) はシリアル・チェーンの次段のデバイスに対するクロックとして使用します。
LOAD	22	I, LVCMOS	LOAD 信号が HIGH のとき SCLK を LOW から HIGH に遷移させると、デバイスはロード・レジスタに書き込まれているプログラミング・データを構成レジスタに転送します。 このタイミングで全出力端子は新規のスイッチ構成に切り替わります。 LOAD 信号は 1 SCLK サイクルのみ HIGH にしてください。 LOAD 信号を HIGH のまま保持すると構成レジスタへの転送が繰り返し発生します。
MODE	23	I, LVCMOS	MODE が LOW のとき SCLK 入力はアクティブとなり、バッファされた SCLK 信号が CSCLK/RSCLK 端子から出力されます。 MODE が HIGH のとき、SCLK 信号はレジスタ回路と内部ステート・マシンから切り離されます。 MODE が LOW になるまで内部レジスタ側から見た場合、負論理状態になっています。
POWER			
V_{DD}	1, 8, 17, 24	I, Power	V_{DD} は 2.5V ± 5%です。 4 個以上の低 ESR 0.01 µF のバイパス・コンデンサを V_{DD} と GND 間に接続してください。
GND	4, 20, 21, DAP	I, Power	LVDS と CMOS 回路のグラウンド基準です。 LLP-32 パッケージの下面には DAP があり金属コンタクトが露出しています。 DAP はデバイスの主となるグラウンドになります。 最適な AC および熱性能を得るため、4 個以上のビアでグラウンド層に接続してください。

シリアル・インタフェース真理値表

LOAD	MODE	SCLK	生じる動作
0	0	LH	SI 端子の現在のレベルが入力シフト・レジスタにクロック転送されます。
0	1	LH	SCLK 入力を内部レジスタおよび内部ステート・マシン入力から切り離します。 MODE が再び LOW になるまで RSCLK と CSCLK には LOW が出力されます。 下記の「構成選択真理値表」を参照してください。
LH	0	X	最後の有効フレームから OUT1 ～ OUT4 構成情報をロードします。 ロード・レジスタの内容は構成レジスタに転送されます。 スイッチ構成は SCLK 入力とは非同期に更新されます。
1	1	LH	SCLK 入力を内部レジスタおよび内部ステート・マシン入力から切り離します。 MODE が再び LOW になるまで RSCLK と CSCLK には LOW が出力されます。 下記の「構成選択真理値表」を参照してください。

構成選択真理値表

MODE	SEL1	SEL0	生じる動作
0	X	X	SEL0/1 端子は構成選択モードでのみ機能します。 以下を参照してください。
1	0	0	分配 : IN1 - OUT1 OUT2 OUT3 OUT4
1	0	1	分配 : IN2 - OUT1 OUT2 OUT3 OUT4
1	1	0	冗長 : IN1 - OUT1 OUT2、IN3 - OUT3 OUT4
1	1	1	対向接続 : IN1 - OUT1、IN2 - OUT2、IN3 - OUT3、IN4 - OUT4

LH: LOW から HIGH への遷移 (立ち上がりエッジ)
X: ドント・ケア

構成選択真理値表 (つづき)

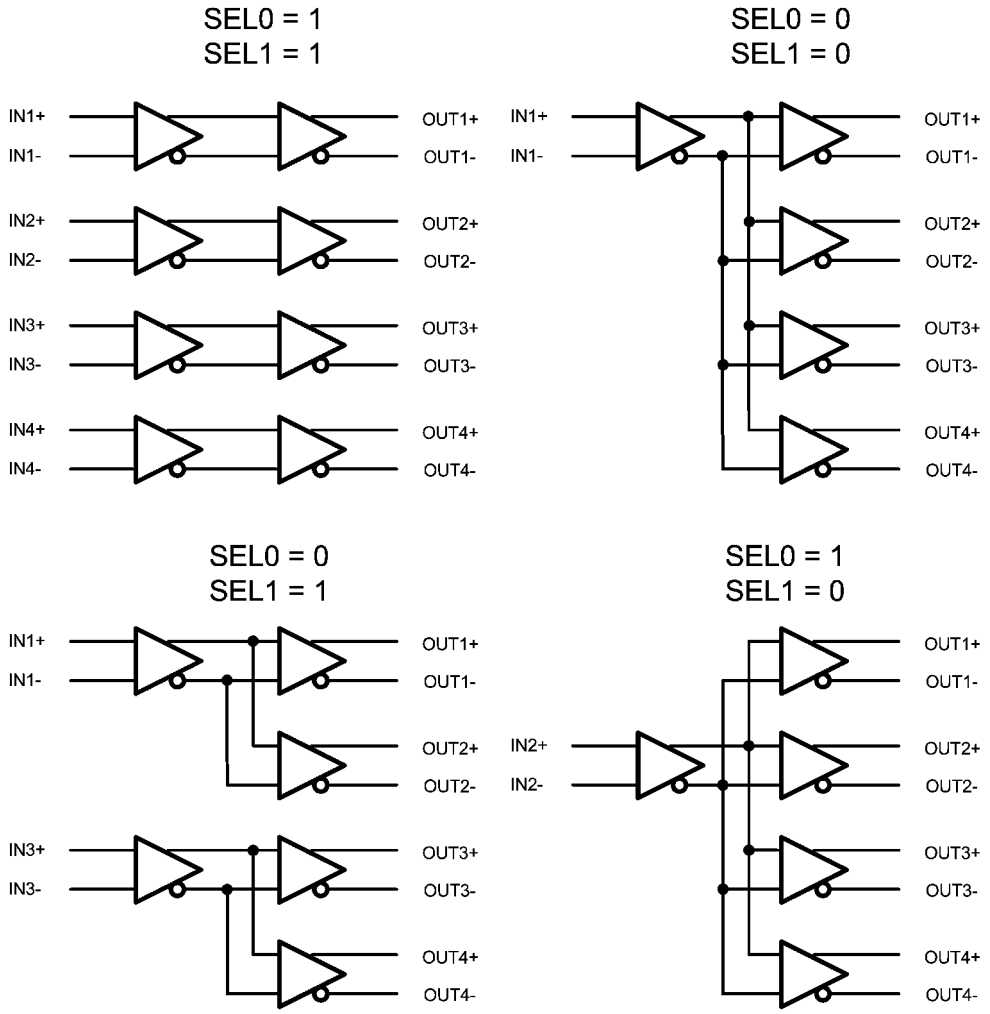


FIGURE 1. DS90CP04 Configuration Select Decode

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{DD})	−0.3V ～+3V
CMOS/TTL 入力電圧	−0.3V ～ (V_{DD} +0.3V)
LVDS レシーバ入力電圧	−0.3V ～+3.3V
LVDS ドライバ出力電圧	−0.3V ～+3V
LVDS 出力短絡電流	40mA
最大接合部温度	+150 °C
保存温度範囲	−65 °C～+150 °C
リード温度 (ハンダ付け 4 秒)	+260 °C
25 °Cでのパッケージ最大消費電力	
LLP-32	3200 mW
ディレーティング	25 °C以上で 38mW/ °C
熱抵抗 θ_{JA}	26.4 °C /W
ESD 耐圧	
人体モデル、1.5kΩ、100pF	
LVDS 出力	>1.0kV
LVDS 入力	>1.5kV
その他のピン	>4.0kV
EIAJ、0Ω、200pF	> 100V

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V_{DD}– GND)	2.375	2.5	2.625	V
レシーバ入力電圧	0.05		3.3	V
動作周囲温度	−40	25	85	°C
接合部温度			110	°C

電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
LVCMOS/LVTTL DC SPECIFICATIONS (SCLK, SI/SEL1, SEL0, LOAD, MODE , CSCLK, RSCLK, CSO, RSO)						
V_{IH}	High Level Input Voltage		1.7		V_{DD}	V
V_{IL}	Low Level Input Voltage		GND		0.7	V
I_{IH}	High Level Input Current	$V_{IN} = V_{DD} = V_{DDMAX}$	−10		+10	µA
I_{IL}	Low Level Input Current	$V_{IN} = V_{SS}$, $V_{DD} = V_{DDMAX}$	−10		+10	µA
C_{IN1}	Input Capacitance	Any Digital Input Pin to V_{SS}		3.5		pF
C_{OUT1}	Output Capacitance	Any Digital Output Pin to V_{SS}		5.5		pF
V_{CL}	Input Clamp Voltage	I_{CL} = −18 mA	−1.5	−0.8		V
V_{OH}	High Level Output Voltage	I_{OH} = −4.0 mA, $V_{DD} = V_{DDMIN}$	1.9			V
		I_{OH} = −100 µA, V_{DD} = 2.5V	2.4			V
V_{OL}	Low Level Output Voltage	I_{OL} = 4.0 mA, $V_{DD} = V_{DDMIN}$			0.4	V
		I_{OL} = 100 µA, V_{DD} = 2.5V			0.1	V
LVDS INPUT DC SPECIFICATIONS (IN1 ±, IN2 ±, IN3 ±, IN4 ±)						
V_{TH}	Differential Input High Threshold (Note 3)	V_{CM} = 0.05V or 1.2V or 2.45V, V_{DD} = 2.5V		0	50	mV
V_{TL}	Differential Input Low Threshold	V_{CM} = 0.05V or 1.2V or 2.45V, V_{DD} = 2.5V	−50	0		mV
V_{ID}	Differential Input Voltage	V_{DD} = 2.5V, V_{CM} = 0.05V to 2.45V	100		V_{DD}	mV
V_{CMR}	Common Mode Voltage Range	V_{ID} = 100 mV, V_{DD} = 2.5V	0.05		3.25	V
C_{IN2}	Input Capacitance	IN+ or IN− to V_{SS}		3.5		pF
I_{IN}	Input Current	V_{IN} = 2.5V, $V_{DD} = V_{DDMAX}$ or 0V	−10		+10	µA
		V_{IN} = 0V, $V_{DD} = V_{DDMAX}$ or 0V	−10		+10	µA
LVDS OUTPUT DC SPECIFICATIONS (OUT1 ±, OUT2 ±, OUT3 ±, OUT4 ±)						
V_{OD}	Differential Output Voltage (Note 3)	R_L = 100Ω between OUT+ and OUT− Figure 2	250	400	475	mV
ΔV_{OD}	Change in V_{OD} between Complementary States		−35		35	mV
V_{OS}	Offset Voltage (Note 4)		1.125	1.25	1.375	V
ΔV_{OS}	Change in V_{OS} between Complementary States		−35		35	mV

電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
LVDS OUTPUT DC SPECIFICATIONS (OUT1 ±, OUT2 ±, OUT3 ±, OUT4 ±)						
I_{OZ}	Output TRI-STATE Current	TRI-STATE Output $V_{OUT} = V_{DD}$ or V_{SS}	−10		+10	µA
I_{OFF}	Power Off Leakage Current	V_{DD} = 0V, V_{OUT} = 2.5V or GND	−10		+10	µA
I_{OS}	Output Short Circuit Current, One Complementary Output	OUT + or OUT − Short to GND		−15	−40	mA
		OUT + or OUT − Short to V_{DD}		15	40	mA
I_{OSB}	Output Short Circuit Current, both Complementary Outputs	OUT + and OUT − Short to GND		−15	−30	mA
		OUT + and OUT − Short to V_{CM}		15	30	mA
C_{OUT2}	Output Capacitance	OUT + or OUT − to GND when TRI-STATE		5.5		pF
SUPPLY CURRENT						
I_{CCD}	Total Supply Current	All inputs and outputs enabled, terminated with differential load of 100Ω between OUT + and OUT −.		220	300	mA
I_{CCZ}	TRI-STATE Supply Current	TRI-STATE All Outputs		10	20	mA
SWITCHING CHARACTERISTICS — LVDS OUTPUTS (Figures 3、5、6)						
t_{LHT}	Differential Low to High Transition Time	Use an alternating 1 and 0 pattern at 200 Mb/s, measure between 20% and 80% of V_{OD}.	100	135	160	ps
t_{HLT}	Differential High to Low Transition Time		100	135	160	ps
t_{PLHD}	Differential Low to High Propagation Delay	Use an alternating 1 and 0 pattern at 200 Mb/s, measure at 50% V_{OD} between input to output.	500	750	1200	ps
t_{PHLD}	Differential High to Low Propagation Delay		500	750	1200	ps
t_{SKD1}	Pulse Skew	$\lvert t_{PLHD} - t_{PHLD} \rvert$		0	30	ps
t_{SKCC}	Output Channel to Channel Skew	Difference in propagation delay (t_{PLHD} or t_{PHLD}) among all output channels in Broadcast mode (any one input to all outputs).	0	50	100	ps
t_{JIT}	Jitter (Note 5)	Alternating 1 and 0 Pattern				
		750 MHz		1.6	2.5	psrms
		1.25 GHz		1.6	2.5	psrms
		K28.5 Pattern				
		1.5 Gb/s		10	40	psp-p
		2.5 Gb/s		27	60	psp-p
		PRBS 2^{23}-1 Pattern				
		1.5 Gb/s		25	40	psp-p
		2.5 Gb/s		40	70	psp-p
t_{ON}	LVDS Output Enable Time	Time from LOAD = LH or SELx to OUT ± change from TRI-STATE to active.	50	150	300	ns
t_{OFF}	LVDS Output Disable Time	Time from LOAD = LH or SELx to OUT ± change from active to TRI-STATE.		3	5	ns
t_{SW}	LVDS Switching Time	Time from LOAD = LH to new switch configuration effective for OUT ±.		50	150	ns

電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
SWITCHING CHARACTERISTICS — LVDS OUTPUTS (Figures 3, 5, 6)						
t_{SEL}	SELx to OUT ±	Configuration select to new data at OUT ± .		50	150	ns
SWITCHING CHARACTERISTICS — Serial control Interface (Figures 4, 8, 9)						
F_{SCLK}	SCLK Clock Frequency		0		100	MHz
T_{DCCLK}	CSCLK Duty Cycle RSCLK Duty Cycle	Input SCLK Duty Cycle set at 50%	45		55	%
t_S	SI–SCLK or MODE–SCLK Setup Time	From SI or MODE Input Data to SCLK Rising Edge	1.5			ns
t_H	SCLK–SI or SCLK–MODE Hold Time	From SCLK Rising Edge to SI or MODE Input Data	1			ns
t_{DSO}	SCLK to RSO or CSO Delay	From SCLK to RSO or CSO	1.5		4	ns
t_{DSCLK}	SCLK to RSCLK or CSCLK Delay	From SCLK to RSCLK or CSCLK	4.0		8.5	ns
t_{DSDIF}	|SCLK to RSCLK or CSCLK–SCLK to RSO or CSO|	Propagation Delay Difference between t_{DSO} and t_{DSCLK}	1.5		4.5	ns
T_{RISE}	Logic Low to High Transition Time	20% to 80% at RSO, CSO, RSCLK, or CSCLK		1.5		ns
T_{FALL}	Logic High to Low Transition Time	80% to 20% at RSO, CSO, RSCLK, or CSCLK		1.5		ns

Note 1: 「絶対最大定格」とは、この値を超えるとデバイスの安全を保障できない制限値を意味します。 デバイスがこの規格値で正常に動作することを意味しているわけではありません。

Note 2: 代表値は V_{DD} = 2.5V、T_A = 25 ℃で測定されています。 代表値は参照を目的としており、製造時検査は行っていません。

Note 3: 差動出力電圧 V_{OD} は |OUT + − OUT − | として定義されています。 差動入力 V_{ID} は |IN + − IN − | として定義されています。

Note 4: 出力オフセット電圧 V_{OS} は、LVDS シングル・エンド出力の論理 HIGH 電圧と論理 LOW 電圧の平均として定義されています。

Note 5: 任意の入力から任意の 1 つの差動 LVDS 出力に対する、規定のデータレートとデータパターンで動作しているときの仕様規定で、このとき残りの 3 チャネルは試験対象チャネルとは非同期の 1.25Gb/s の K28.5 パターンで動作させています。 ジッタは、製造時に検査はなされませんが、サンプルにもとづく特性を通して保証されています。 ランダム・ジッタは 1,000 回分のヒストグラムのピーク・ツー・ピークとして測定されます。 なお K28.5 パターンは、ビット・ストリーム 0011111010 1100000101 の繰り返しです。 確定的ジッタ (DJ パターン) は、サンプル回数 350 回のヒストグラムの平均として測定されています。 総ジッタ (TJ) は、3,500 回分のヒストグラムで、ランダム・ジッタと同様にピーク・ツー・ピークとして測定されています。

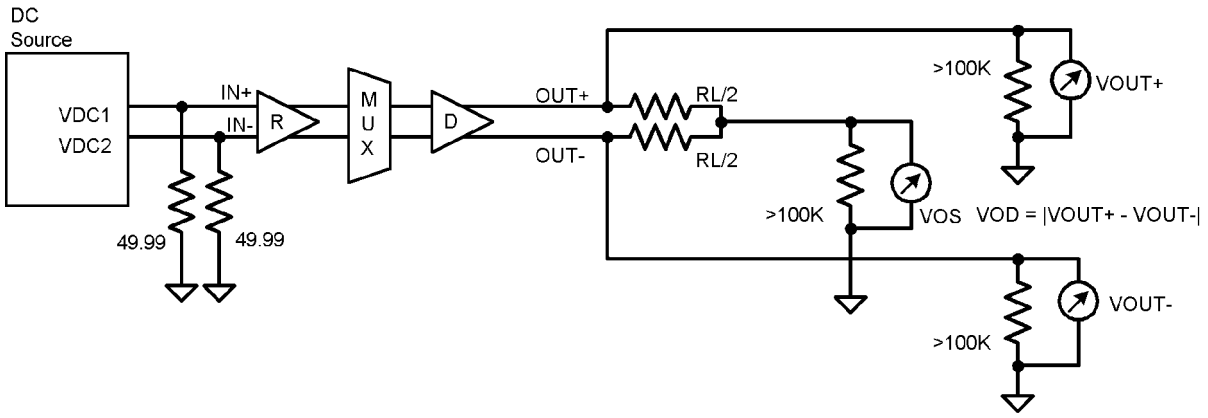


FIGURE 2. Differential Driver DC Test Circuit

電気的特性 (つづき)

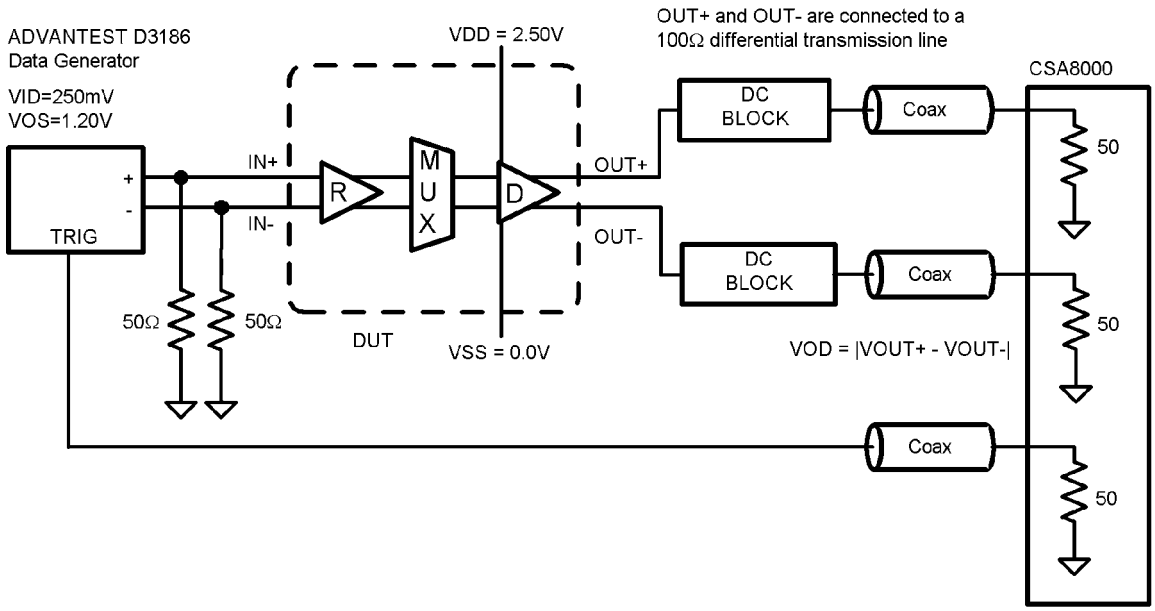


FIGURE 3. Differential Driver AC Test Circuit

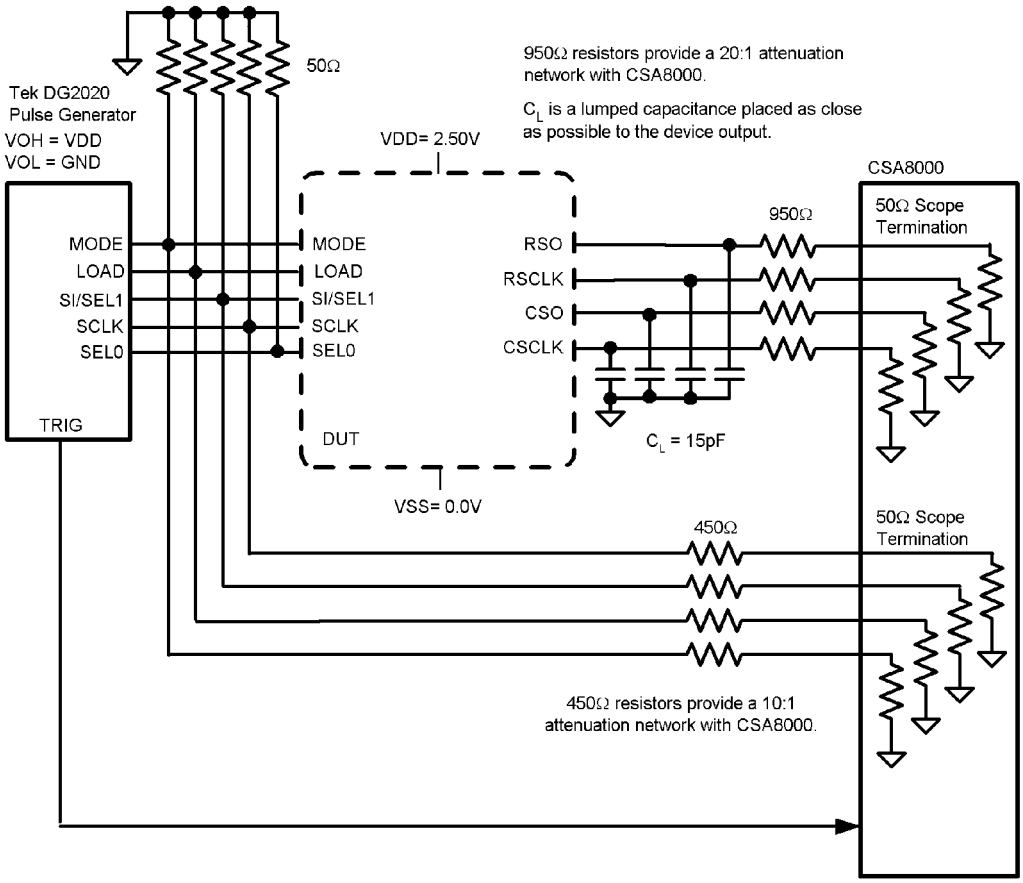


FIGURE 4. LVCMOS Driver AC Test Circuit (Note 6)

電気的特性 (つづき)

Note 6: LVCMOS 入力と出力の AC 仕様は、Figure 4 に示される電力スプリッタではなく、入力減衰ネットワークを使用しても検証および検査が可能です。

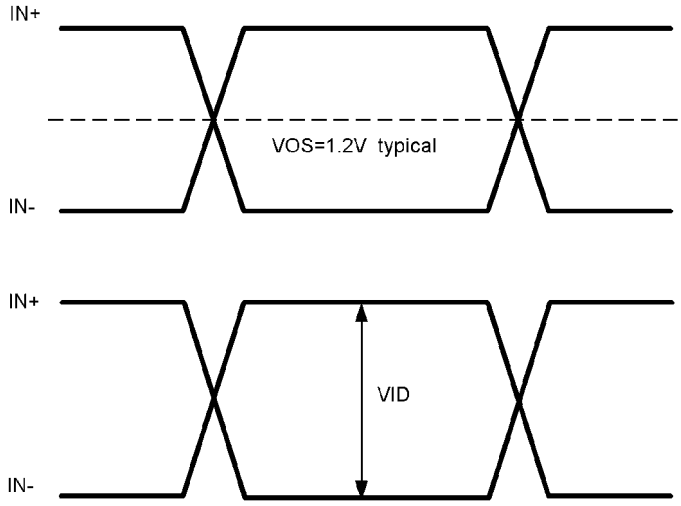


FIGURE 5. LVDS Signals

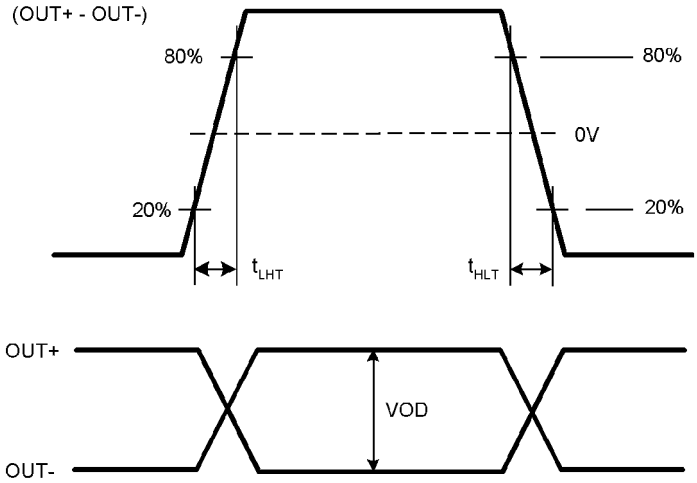


FIGURE 6. LVDS Output Transition Time

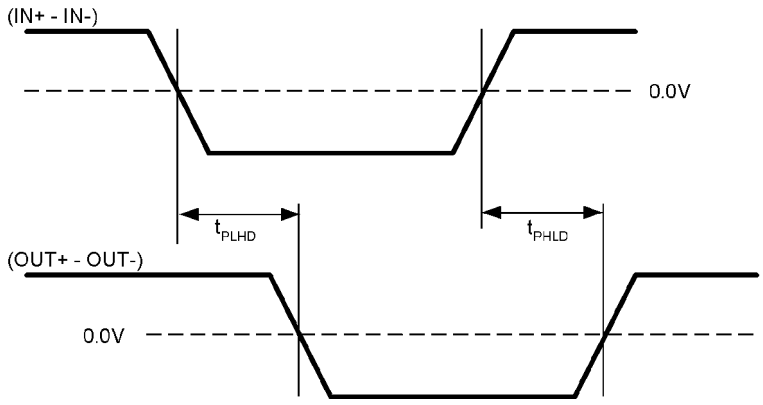


FIGURE 7. LVDS Output Propagation Delay

電気的特性 (つづき)

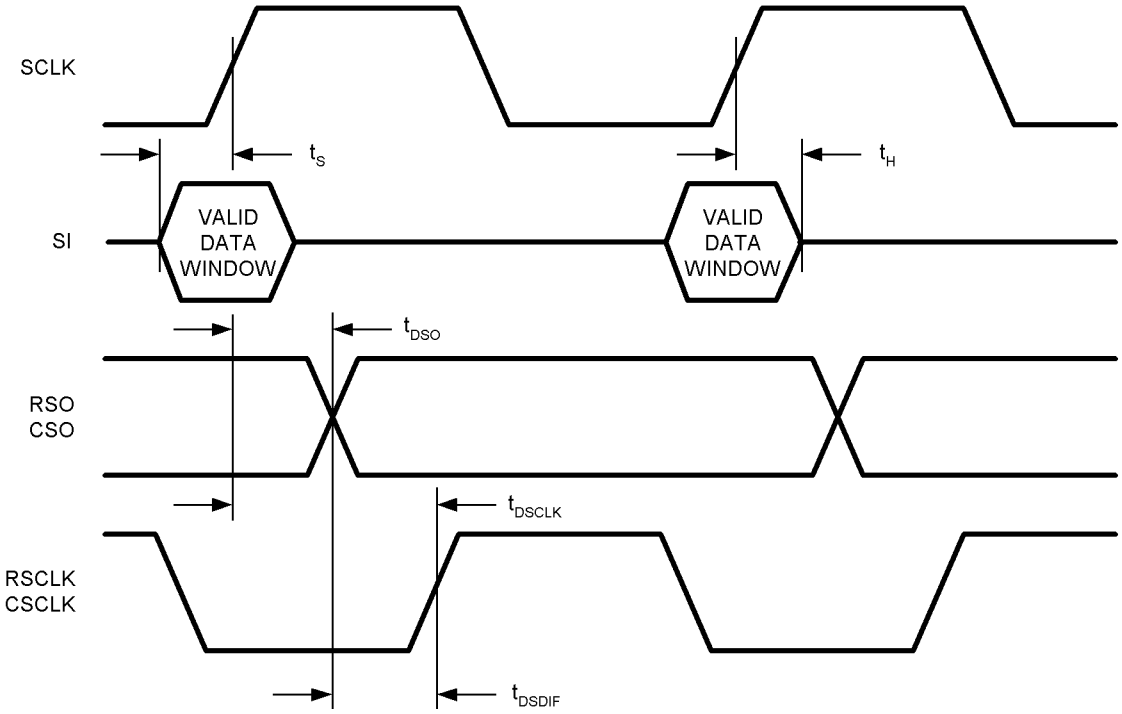


FIGURE 8. Serial Interface Propagation Delay and Input Timing Waveforms

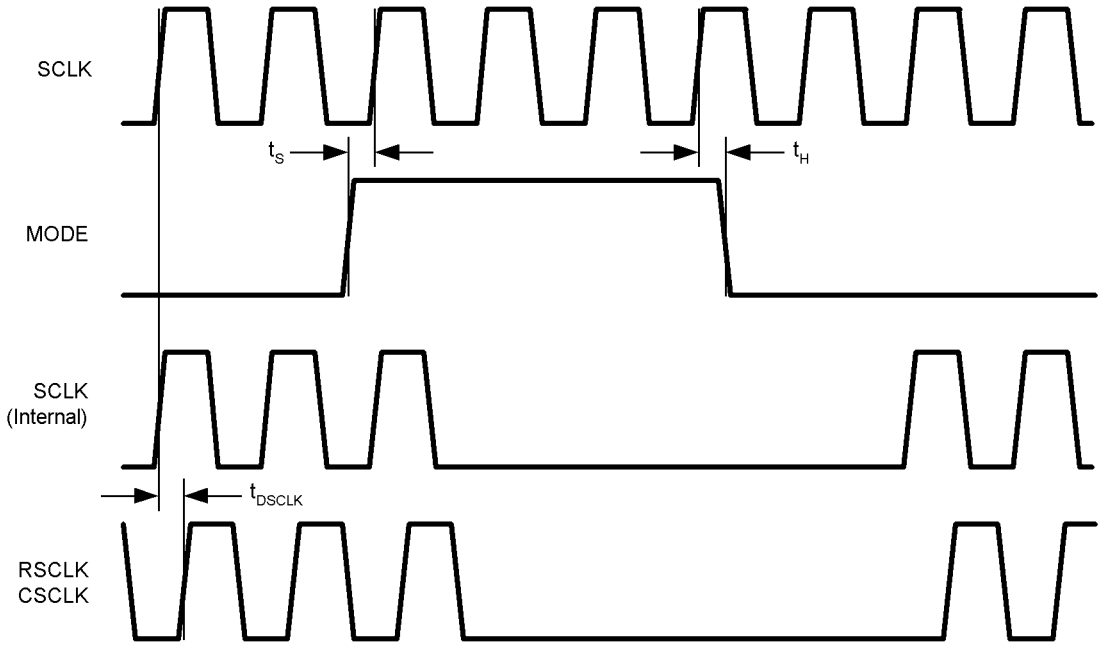


FIGURE 9. Serial Interface — MODE Timing and Functionality

電気的特性 (つづき)

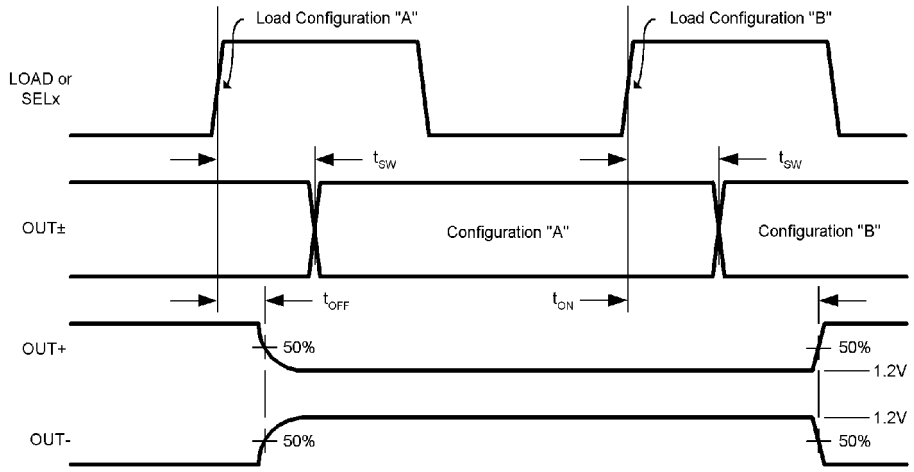


FIGURE 10. Configuration and Output Enable/Disable Timing

機能説明

シリアル・インタフェースによるプログラミング

シリアル・クロック SCLK とシリアル入力データライン SI で構成される単純なシリアル・インタフェースを介して、内部マルチプレクサに構成をプログラムできます。シリアル・インタフェースは、大規模スイッチ・アレイに容易に拡張できるように設計されています。DS90CP04 で構成したマトリックス・アレイの次段のロー・デバイスは、バッファされたシリアル・インタフェース出力 (RSCLK、RSO) を使って接続します。 同様に、マトリックス・アレイの次段のコラム・デバイスは、バッファされたシリアル・インタフェース出力 (CSCLK、CSO) を使って接続します。 このフィードスルーされる RSCLK と RSO、CSCLK と CSO の各バッファ信号を使用する方式により、ユーザーは単一のバス (SCLK と SI) でマトリックス内のすべてのデバイスをプログラムできます

スイッチの構成をプログラムするには、デバイスに 30 ビットの制御ワードを与えます。 最初の 6 ビットでスタート・フレームが SI へシフトインされます。 有効スタート・フレームには、構成ロードの 1FH と、構成読み出しの 1EH の 2 種類があります。 スタート・フレームに続いて、アクセスするデバイスのロー・アドレスとコラム・アドレス、さらに 4 チャネル分のスイッチ構成データが送られます。 Table 1. 30-Bit Control Word および Table 2. Switch Configuration Data に制御ワードのビット定義を示します。D29 が SI にシフトインされる先頭ビットです。

TABLE 1. 30-Bit Control Word

ビット	ビット長	説明
D29–D24	6	制御ワード同期用のスタート・フレームです。 (01 1111'b = LOAD)
D23–D18	6	アクセスするデバイスのロー・アドレスを指定します。 シリアル・インタフェースは最大 64 個のロー・デバイスをアクセスできます。
D17–D12	6	アクセスするデバイスのコラム・アドレスを指定します。 シリアル・インタフェースは最大 64 個のコラム・デバイスをアクセスできます。
D11–D9	3	出力 1 用のスイッチ構成を指定します。 Table 2. Switch Configuration Data を参照してください。
D8–D6	3	出力 2 用のスイッチ構成を指定します。 Table 2. Switch Configuration Data を参照してください。
D5–D3	3	出力 3 用のスイッチ構成を指定します。 Table 2. Switch Configuration Data を参照してください。
D2–D0	3	出力 4 用のスイッチ構成を指定します。 Table 2. Switch Configuration Data を参照してください。

TABLE 2. Switch Configuration Data

MSB		LSB	OUT1 ±に対する接続	OUT2 ±に対する接続	OUT3 ±に対する接続	OUT4 ± に対する接続
0	0	0	出力 1 は TRI-STATE	出力 2 は TRI-STATE	出力 3 は TRI-STATE	出力 4 は TRI-STATE
0	0	1	IN1 ±	IN1 ±	IN1 ±	IN1 ±
0	1	0	IN2 ±	IN2 ±	IN2 ±	IN2 ±
0	1	1	IN3 ±	IN3 ±	IN3 ±	IN3 ±
1	0	0	IN4 ±	IN4 ±	IN4 ±	IN4 ±
1	0	1	無効。			

機能説明 (つづき)

TABLE 2. Switch Configuration Data (つづき)

MSB		LSB	OUT1 ±に対する接続	OUT2 ±に対する接続	OUT3 ±に対する接続	OUT4 ± に対する接続
1	1	0	これら無効の組み合わせは同期の喪失を招きます。			
1	1	1				

ローおよびコラム・アドレッシング

デバイスを N × N アレイで構成した場合、左上のデバイスがロー・アドレス、コラム・アドレスともゼロに割り当てられます。 右側に続くデバイスがコラム・アドレス 1 から N、対して下側に続くデバイスがロー・アドレス 1 から N となります。システムのシリアル制御インタフェース (SCLK と SI) は、ロー・アドレス、コラム・アドレスともにゼロのデバイスに接続します。 シリアル制御インタフェースから、アクセスしたいデバイスのロー・アドレスとコラム・アドレスを含む制御ワードがシフト・インされます。制御データがデバイスに与えられると、次のローおよびコラム・デバイスに送られる前に、制御ワード内のアドレスは内部で 1 だけ減算されます。 ロー・アドレスが 1 だけ減算された制御データがコラム・インタフェース (CSO と CSCLK) から送出され、コラム・アドレスが 1 だけ減算された制御データがロー・インタフェース (RSO と RSCLK) からシフト・アウトされます。プログラミングの対象となるデバイスに制御ワードが到達した時点では、ロー・アドレスとコラム・アドレスはともにゼロとなっています。

アレイ内の各デバイスは、常に開始フレームの受信をチェックしています (D29 ～ 24 = 01 1111'b または 01 1110'b)。適正な開始フレーム・ストリングを検出し、かつ続くロー・アドレスとコラム・アドレスがともにゼロであった場合、そのデバイスは 30 ビット制御ワードのスイッチ構成データをロード・レジスタに格納します。

アレイ内の各デバイスは、シリアル・インタフェースを介して順にプログラムされます。 アレイ全体のプログラミングが完了したら、LOAD 端子に HIGH パルスを与えて、各デバイスのロード・レジスタの内容を構成レジスタに転送します。LOAD パルスの発行は、制御ワードの最終ビットがロード・レジスタに格納されるまで待たなければなりません。このタイミングが保証されるのはプログラムが完了した 2 クロック後です。

アレイのプログラムでは、内部シフト・レジスタで生じる追加の SCLK サイクルを考慮しなければなりません。次段に与える制御データが RSO と CSO に現れるまでのレイテンシは、 立ち上がりエッジ 7 クロック (SCLK) 分です。 アレイ内の目的とするデバイスに制御ワードを届けるためには、設計者は正しいクロック数を与える必要があります。 4 デバイスをシリアル・チェーン接続した場合の制御ワードの例を Table 3. Example to Program a 4 Device Array に示します (OUT1 = IN1、OUT2 = IN2、OUT16 = IN16)。 このアレイのプログラムには、シリアル・チェーンを介して目的とするデバイスに届けるために、4 組の 30 ビット制御ワードが必要です。 アレイ全体を 120 クロック・サイクルでプログラミングするには、チェーンの最後にあるデバイスからプログラミングをしていくことが重要です。 続くプログラミング・データによって、最初のデータはチェーンを通して正しいデバイスに向かって押し込まれていきます。

スイッチ構成の読み出し

DS90CP04 に読み出し用の開始フレーム (01 1110'b) を送ると読み出しモードになります。読み出し開始フレームを受信すると構成レジスタ情報はシフト・レジスタに転送され、制御ワードの OUT1 ～ OUT4 のビット・セグメントの読み出し値が RSO と CSO の両方から出力されます。 デバイスから読み出されたデータは、デフォルト・アドレス (11 1111'b) が 1 ずつ内部で減算されながら次段のデバイスを順に通って送られます。 ロー最後尾にあるデバイスの RSO には、読み出しデバイスを始点とする「相対的」なコラム・アドレスが現れるため、送出デバイスのコラム位置を求められます。 同様に、コラム最後尾にあるデバイスの CSO には、送出デバイスの相対ロー・アドレスが現れます。 チャネル構成情報が挿入された読み出し制御ワードの送出後、デバイスは自動的に書き込みモードに戻り、SI から入力される新規の制御ワードを待ちます。

Table 4. A Read-Back Example from a 4 Device Array に、4 × 4 デバイス・アレイの先頭のローにある 4 個のデバイスから構成レジスタを読み出す例を示します。すでに述べたように、アレイ読み出しの完了にも、内部シフト・レジスタのレイテンシ分を充当するだけの追加 SCLK サイクルが必要です。 4 組分の 30 ビットの構成レジスタをシフト・アウトするには、4 × 30 SCLK クロック・サイクルに加え、デバイス・レイテンシ分としてデバイス 1 個あたり 7 SCLK サイクルが必要で、合計 SCLK 数は 148 になります。シリアル化された読み出しデータは、ロー最後尾のデバイス RSO から RSCLK に同期して出力されます。 4 組分の構成データの読み出しをシフト・インしたあとは、SI を LOW にしておくことを推奨します。

TABLE 3. Example to Program a 4 Device Array

フレーム D29:D24	ロー・アドレス D23:D18	コラム・アドレス D17:D12	OUT1 D11:D9	OUT2 D8:D6	OUT3 D5:D3	OUT4 D2:D0	SCLK サイクル数	制御ワードのアレイ内アクセス先デバイス ロー、コラム
01 1111	00 0000	00 0011	001	010	011	100	30	0, 3
01 1111	00 0000	00 0010	001	010	011	100	30	0, 2
01 1111	00 0000	00 0001	001	010	011	100	30	0, 1
01 1111	00 0000	00 0000	001	010	011	100	30	0, 0
プログラミング工程のアレイ・レイテンシを最小にするため、システムの SI 入力から最も遠いデバイスの構成情報からシフト・インしてください。								
すべてのチャネル情報がロード・レジスタに到達してからすべてのスイッチが構成可能になるまでに 2 クロック・サイクルの遅延が必要です。							2	

機能説明 (つづき)

TABLE 4. A Read-Back Example from a 4 Device Array

フレーム D29:D24	ロー・アドレス D23:D18	コラム・アドレス D17:D12	OUT1 D11:D9	OUT2 D8:D6	OUT3 D5:D3	OUT4 D2:D0	SCLK サイクル数	説明
01 1110	00 0000	11 1111	000	000	000	000	30	Read-Back (R,C) = 0, 3
01 1110	00 0000	11 1110	000	000	000	000	30	Read-Back (R,C) = 0, 2
01 1110	00 0000	11 1101	000	000	000	000	30	Read-Back (R,C) = 0, 1
01 1110	00 0000	11 1100	001	010	011	100	30	Read-Back (R,C) = 0, 0

Note 7: 書き込みと読み出しのプログラミング例は、Figure 11 に示される 16 × 16 アレイ構成に基づいています。別のアレイ構成ではプログラミング順は異なります。

最小プログラミング・レイテンシとなるスイッチ拡張

プログラミング・データは、ロー方向は RSO と RSCLK を通って、コラム方向は CSO と CSCLK を通って伝えられます。すべてのデバイスの LOAD 端子は電気的に共通に接続し、同一信号で駆動します。LOAD の信号品質に影響を与えないよう、アレイ内のスタブ長が極端に長くならないように配線してください。 大規模クロスポイント・アプリケーションの場合、LOAD 信号は各ローまたは各カラムごとに分配することを推奨します。

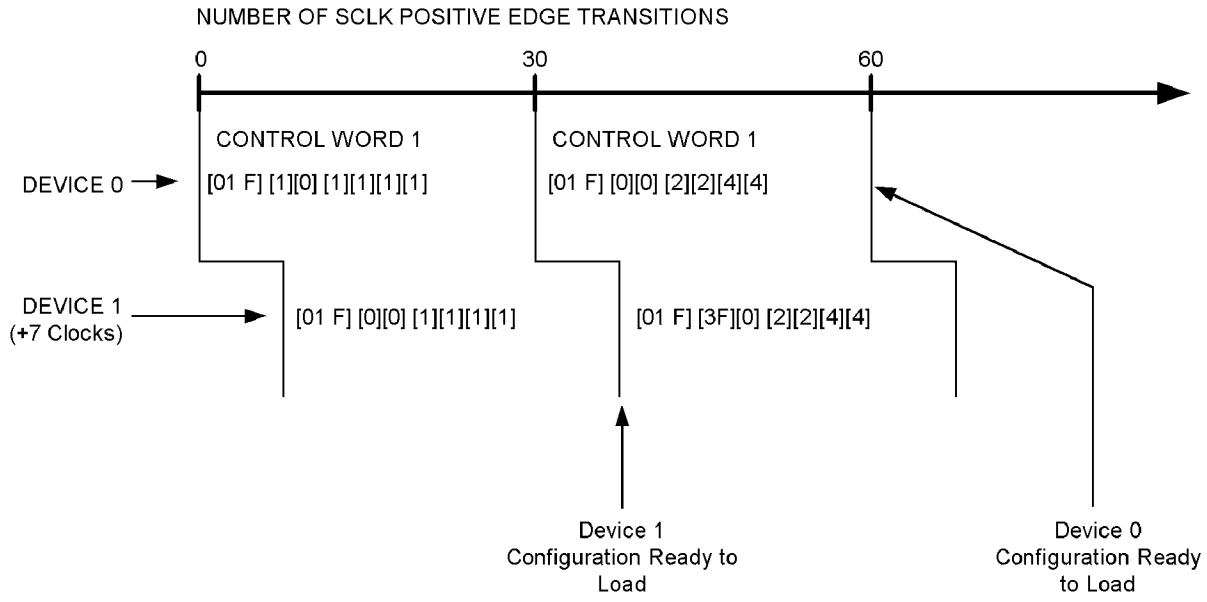


FIGURE 11.

プログラミングの例

構成書き込み

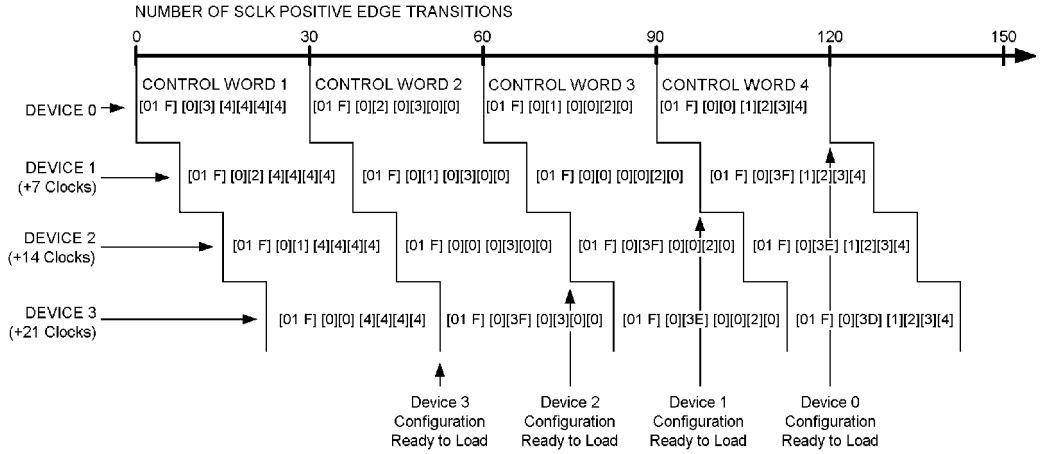
30 ビット制御ワード : [書き込みフレーム][ロー・アドレス][コラム・アドレス][OUT1][OUT2][OUT3][OUT4]

アレイ書き込み :

[01 1111] [0][1] [1][1][1][1] //* アレイ位置 1、ブロードキャスト IN1 *//

[01 1111] [0][0] [2][2][4][4] //* アレイ位置 0、IN2 を OUT1 と OUT2 に接続、IN4 を OUT3 と OUT4 に接続 *//

LOAD = H、SCLK = LH



デバイス 0 書き込みプログラミング・シーケンス

SCLK 数	イベントの説明
6	デバイス 0 (R = 0、C = 0) は第 1 の制御ワードの 「書き込み」 フレームを検出します。
18	デバイス 0 (R = 0、C = 0) は第 1 制御ワードのアドレスがロー= 1、コラム= 0 であることを識別します。 第 1 の制御ワードからロー・アドレスが 1 だけ減算され (ロー・アドレス= 0) RSO に送られます。
36	デバイス 0 (R = 0、C = 0) は第 2 の制御ワードの 「書き込み」 フレームを検出します。
48	デバイス 0 (R = 0、C = 0) は第 2 の制御ワードがロー= 0、コラム= 0 であることを識別します。 これは有効な構成書き込みアドレスのため、デバイス 0 は構成情報の受信を待ちます。
60	デバイス 0 (R = 0、C = 0) は構成情報を受信し LOAD を待ちます。

デバイス 1 書き込みプログラミング・シーケンス

SCLK 数	イベントの説明
13	デバイス 1 (R = 1、C = 0) は第 1 の制御ワードの 「書き込み」 フレームを検出します。
25	デバイス 1 (R = 1、C = 0) は第 2 の制御ワードのアドレスがロー= 0、コラム= 0 であることを識別します。 これは有効な構成書き込みアドレスのため、デバイス 1 は構成情報の受信を待ちます。
37	デバイス 1 (R = 1、C = 0) は構成情報を受信し LOAD を待ちます。
43	デバイス 1 (R = 1、C = 0) は第 2 の制御ワードの 「書き込み」 フレームを検出します。
55	デバイス 1 (R = 1、C = 0) は第 2 の制御ワードのアドレスがロー= 3F、コラム= 0 であることを識別します。 第 2 の制御ワードからロー・アドレスが 1 だけ減算され (ロー・アドレス= 3E) RSO に送られます。

構成読み出し

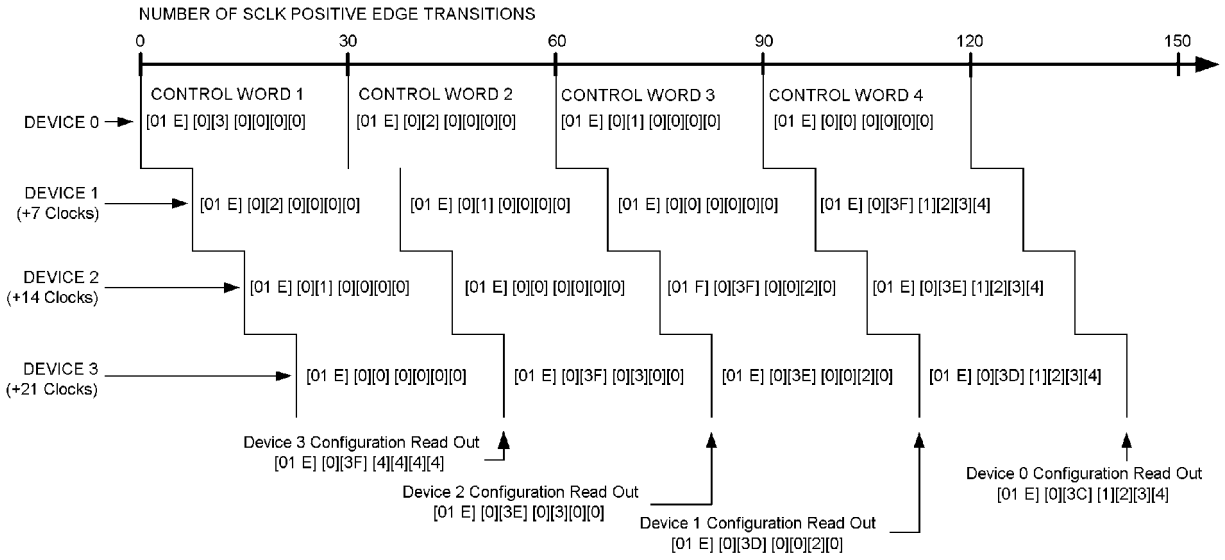
30 ビット制御ワード : [読み出しフレーム][ロー・アドレス][コラム・アドレス][OUT1][OUT2][OUT3][OUT4]

アレイ書き込み :

[01 1110] [1][0] [0][0][0][0] //* アレイ位置 1、構成情報の読み出し *//

[01 1110] [0][0] [0][0][0][0] //* アレイ位置 0、構成情報の読み出し *//

プログラミングの例 (つづき)



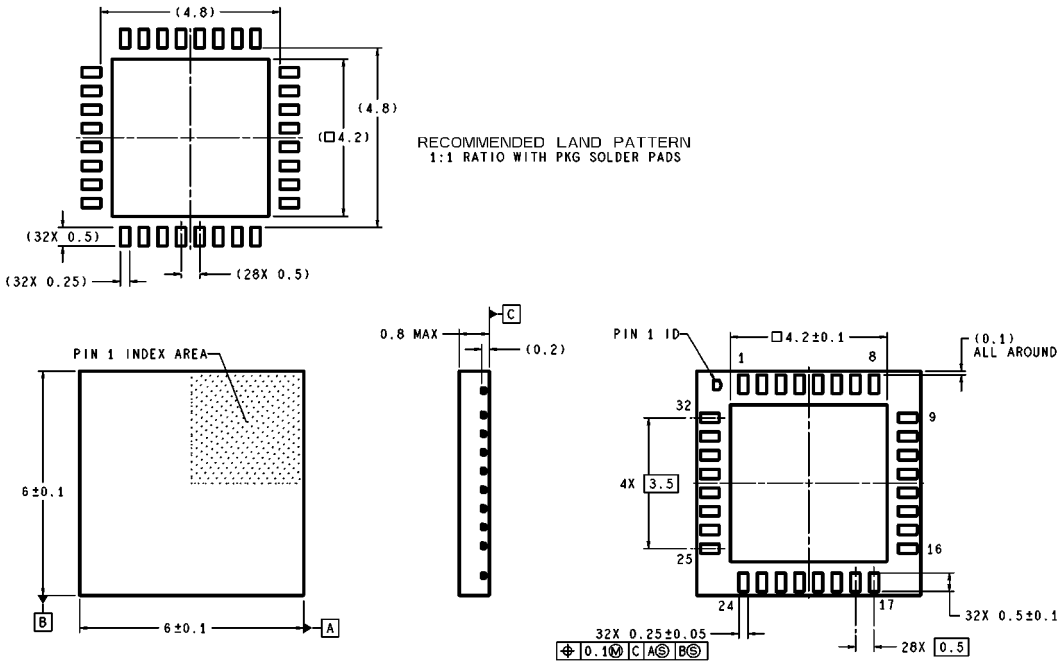
デバイス 0 読み出しプログラミング・シーケンス

SCLK 数	イベントの説明
6	デバイス 0 (R = 0、C = 0) は第 1 の制御ワードの 「読み出し」 フレームを検出します。
18	デバイス 0 (R = 0、C = 0) は第 1 制御ワードのアドレスがロー= 1、コラム= 0 であることを識別します。 第 1 の制御ワードからロー・アドレスが 1 だけ減算され (ロー・アドレス= 0) RSO に送られます。
36	デバイス 0 (R = 0、C = 0) は第 2 の制御ワードの 「書き込み」 フレームを検出します。
48	デバイス 0 (R = 0、C = 0) は第 2 の制御ワードがロー= 0、コラム= 0 であることを識別します。 これは有効な構成書き込みアドレスのため、デバイス 0 は構成情報の送信を準備します。 最後の制御ワードからロー・アドレスが 1 だけ減算され (ロー・アドレス= 3F) RSO に送られます。
60	デバイス 0 (R = 0、C = 0) は構成情報を送信します。
74	アレイ出力 (デバイス 1 の RSO) から構成情報の送出が終わります。

デバイス 1 読み出しプログラミング・シーケンス

SCLK 数	イベントの説明
13	デバイス 1 (R = 1、C = 0) は第 1 の制御ワードの 「読み出し」 フレームを検出します。
25	デバイス 1 (R = 1、C = 0) は第 1 制御ワードのアドレスがロー= 0、コラム= 0 であることを識別します。 これは有効な構成書き込みアドレスのため、デバイス 1 は構成情報の送信を準備します。 第 1 の制御ワードからロー・アドレスが 1 だけ減算され (ロー・アドレス= 3F) RSO に送られます。
37	デバイス 1 (R = 1、C = 0) は構成情報をアレイ出力 (デバイス 1 の RSO) から送出します。

外形寸法図 単位は millimeters



LLP, Plastic, QUAD,
Order Number DS90CP04TLQ, DS90CP04TLQX (Tape and Reel)
NS Package Number LQA032A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. **生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。**
2. **重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。**

ナショナル セミコンダクター ジャパン株式会社

本社／〒 135-0042 東京都江東区木場 2-17-16　　TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。
www.national.com/JPN/

その他のお問い合わせはフリーダイヤルをご利用下さい。
0120-666-116

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。